

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/04

(11) 공개번호
(43) 공개일자

특2002-0061880
2002년07월25일

(21) 출원번호	10-2001-0002960
(22) 출원일자	2001년01월18일
(71) 출원인	삼성전자 주식회사 대한민국 442-803 경기 수원시 팔달구 매탄3동 416
(72) 발명자	정정희 대한민국 130-061 서울특별시동대문구제기1동120-139 박인성 대한민국 137-073 서울특별시서초구서초3동1509-1 삼성아파트102동501호 여재현 대한민국 403-100 인천광역시부평구부개동주공1단지108동803호
(74) 대리인	이영필 정상빈 있음
(77) 심사청구	있음
(54) 출원명	금속 산화막을 유전막으로 하는 반도체 커패시터의 형성방법

요약

본 발명은 금속 산화막을 유전막으로 하는 반도체 커패시터 형성방법에 관한 것이다. 본 발명의 반도체 커패시터 형성방법은, 반도체 기판 상에 하부전극을 형성하는 단계, 산소를 함유하는 금속 전구체를 소스가스로 화학기상증착하여 상기 하부전극 표면 상에 금속 전처리막을 형성하는 단계, 상기 금속 전처리막 상에 금속 산화막을 형성하는 단계 및 상기 금속 산화막 상에 상부전극을 형성하는 단계를 포함한다. 본 발명에 따르면, 폴리실리콘, 희금속 또는 금속 질화막 하부전극 상에 금속 전처리막을 형성함으로써, 금속 산화막 형성시 공급되는 산소로 인해 하부전극이 산화되는 현상을 방지할 수 있다.

대표도

도4a

명세서

도면의 간단한 설명

도 1은 종래기술에 따라 Ru막을 오존 분위기에서 열처리한 후, 그 단면을 주사전자현미경으로 촬영한 사진이다.

도 2는 본 발명의 커패시터를 형성하는 단계를 도시한 흐름도이다.

도 3은 본 발명에 따라 탄탈륨 전처리막 형성과정을 거친 Ru막을 오존 분위기에서 열처리 한 후 그 단면을 주사전자현미경 사진이다.

도 4a 및 도 4b는 각각 본 발명 및 종래기술에 따라 탄탈륨 산화막을 형성하여 단면을 촬영한 주사전자현미경 사진을 모식적으로 도시한 것이다

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 커패시터의 형성방법에 관한 것으로, 보다 상세하게는 금속 산화막을 유전막으로 하는 반도체 커패시터의 형성방법에 관한 것이다.

반도체 메모리 소자의 집적도가 높아짐에 따라, 좁은 공간에서 높은 정전용량을 확보하기 위해 고유전율을 가진 유전막의 사용이 요구되고 있다. 고유전율을 가진 물질로 Ta₂O₅, TiO₂, Al₂O₃, Y₂

BEST AVAILABLE COPY

O

3, ZrO_2 , HfO_2 , BaTiO_3 , SrTiO_3 등을 들 수 있다.

그러나, 이러한 산화막은 고유전율을 가진 반면, 종래 커패시터의 하부전극으로 사용되던 폴리실리콘과의 쉽게 반응하는 문제점을 안고 있는데, 예컨대 탄탈륨 산화막 형성과정 또는 산화막 형성 후 열처리 과정에서 폴리실리콘이 산화하는 문제점이 그것이다. 이를 방지하기 위해서, 상기 탄탈륨 산화막과 폴리실리콘 사이에 질화막을 개재하여 이를 산소의 확산에 대한 장벽층으로 사용하는 방법이 사용되어 왔다.

이런 문제점을 해결하기 위한 또 다른 방법으로 하부전극을 상대적으로 산화되기 어려운 물질, 예컨대 Pt, Ru, Ir 등의 희금속이나 TiN 등의 도전성 금속 질화물을 사용하는 방법이 있다. 그러나, 이러한 하부전극의 경우에는 다른 문제점이 발생한다. 이를 도 1을 참조하여 설명한다.

도 1은 실리콘 기판(100) 상에 Ru막(110)을 형성하고 이를 250℃, 오존 분위기에서 열처리한 후, 그 단면을 주사전자현미경으로 촬영한 사진이다. 도 1에서 알 수 있듯이 Ru막(110)의 표면에 주상(柱狀)의 결정상(120)이 발견된다. 이것은 RuO_2 로, O_3 로 인해 Ru막(110)이 산화되어 형성된 것이다. 이러한, RuO_2 결정상(120)들은 유전막 즉, 탄탈륨 산화막의 형성을 억제할 뿐만 아니라, Ru(110) 전극과 유전막의 접촉면적을 감소시켜 커패시터의 특성을 열화시킬 수 있다. 특히, 유전막이 실린더형 개구부를 가진 기판 상에 형성되는 경우(예컨대, 실린더형 커패시터에서와 같이)에는 상기 개구부의 하부에는 부분적으로 유전막이 형성되지 않아 결과적으로 유전막의 단차도포성이 매우 나쁘게 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 금속 산화막을 유전막으로 하는 반도체 장치의 커패시터에 있어서, 금속 산화막 형성시 희금속 또는 금속질화막 하부전극에 발생하는 산화현상을 억제할 수 있는 반도체 커패시터를 형성하는 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명의 반도체 커패시터 형성방법은, 반도체 기판 상에 하부전극을 형성하는 단계, 산소를 함유하는 금속 전구체를 소스가스로 화학기상증착하여 상기 하부전극 표면 상에 금속 전처리막을 형성하는 단계, 상기 금속 전처리막 상에 금속 산화막을 형성하는 단계 및 상기 금속 산화막 상에 상부전극을 형성하는 단계를 포함한다.

상기 금속은 탄탈륨을 포함하며, 탄탈륨을 포함하는 금속 전구체로는 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 또는 $\text{Ta}(\text{OCH}_3)_5$ 이 바람직하다.

본 발명의 실시예에 따르면, 상기 금속 전처리막은 상기 반도체 기판을 반응실 내로 인입하는 단계, 상기 반응실 내로 산소를 함유하는 금속 전구체를 유입시키는 단계, 상기 금속 전구체를 상기 하부전극 상에 흡착 및 반응시키는 단계 및 상기 반응실 내의 금속 전구체를 퍼지시키는 단계를 포함하여 형성될 수 있다.

이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세한다.

실시예

도 2는 본 발명의 반도체 커패시터를 형성하는 단계를 도시한 흐름도이다. 도 2를 보면, 본 발명의 커패시터는 먼저, 반도체 기판 상에 폴리실리콘, 희금속 또는 금속 질화막으로 된 하부전극을 형성한다(단계 a). 상기 희금속으로는 Ru, Pt 또는 Ir 등이 적당하다. 여기서, 상기 금속질화물은 TiN 등과 같이 단일 금속의 질화물일 수도 있으나, (Ti,Ta)N과 같이 둘 이상의 금속이 고용된 질화물일 수도 있다. 상기 희금속 및 상기 금속질화막은 통상의 화학기상증착법에 의해 형성될 수 있다.

이어서, 상기 하부전극 상에 탄탈륨 전처리막을 형성한다(단계 b). 상기 탄탈륨 전처리막은 탄탈륨-산소의 결합을 가진 금속 전구체를 소스가스로 화학기상증착하여 형성된다. 산소결합을 가진 탄탈륨 전구체로는 $\text{Ta}(\text{OCH}_2\text{H}_5)_5$ 또는 $\text{Ta}(\text{OCH}_3)_5$

)₅ 등이 적당하다. 물론, 탄탈륨 전처리막 이외의 다른 금속 전처리막을 사용할 수 있다. 예컨대, 티타늄(Ti) 전처리막의 경우, $\text{TiO}(\text{DPM})_2$ 나 $\text{Ti}(\text{t-BuO})_2$ (DPM)₂ 등의 전구체를 사용하여 형성될 수 있고, 지르코늄(Zr) 전처리막의 경우, $\text{Zr}(\text{OBu}^t)_4$ 등의 전구체를 사용하여 형성될 수 있다.

상기 탄탈륨 전처리막은 상기 탄탈륨 전구체를 소스가스로 통상의 열화학기상증착법(thermal chemical vapor deposition), 원자층 증착방법(Atomic layer deposition) 및 연속층 적층방법(Sequential layer deposition)에 의해 형성될 수 있다. 여기서, 원자층 증착방법이란 화학기상증착의 한 유형으로 유입된 소스가스를 기판 표면에 화학흡착시키고 나머지 소스가스를 퍼지시킨 후 상기 흡착된 소스가스로부터 물질층을 형성하는 방법이다. 소스가스의 유입→퍼지의 사이클을 반복하여 원하는 두께의 물질층을 형성할 수 있다. 이 방법에 의하면, 통상 원자층 단위로 물질층의 두께를 조절할 수 있으므로 우수한 단차도포성을 가진 물질층을 형성할 수 있으며, 물질층 내에 함유된 불순물의 농도도 매우 낮게 된다. 연속층 증착방법이란, 상기 원자층 증착방법을 개량한 것으로, 소스가스가 기판에 흡착되는 기구가 화학흡착 뿐만 아니라, 물리적 흡착도 포함하도록 소스가스의 유량 및 챔버의 압력을 조절함으로써, 한 사이클에 여러 개의 원자층이 형성되게 하는 방법이다. 이하에서 사용되는 원자층 적층방법이라는 용어는 연속층 적층방법도 포함하는 넓은 의미로 사용된다.

실린더형 커패시터와 같이 3차원 구조를 갖는 커패시터의 경우 탄탈륨 전처리막의 균일한 형성을 위하여 원자층 증착방법을 사용하는 것이 바람직하다. 이하에서, 원자층 증착방법을 사용하여 본 발명의 탄탈륨 전처리막을 형성하는 과정을 구체적으로 설명한다. 희금속 또는 금속질화막으로 된 하부전극이 형성된 반도체 기판을 반응실 내로 인입한 뒤, 상기 반응실 내로 전처리막 형성을 위한 소스가스로 산소를 함유하는 탄탈륨 전구체를 유입한다. 유입된 상기 탄탈륨 전구체는 기판 상에 화학적 또는 물리적으로 흡착하게 된다. 이어서, 상기 반응실 내에 퍼지가스를 유입하여 상기 반응실 내에 잔류하는 소스가스를 퍼지시킨다. 상기 소스가스 유입→퍼지의 단계를 반복하여 수행함으로써, 상기 하부전극 상에 상기 탄탈륨 전처리막이 골고루 형성되도록 한다. 상기 반복되는 사이클의 수는 커패시터의 형태에 따라 조절할 수 있다. 예컨대, 실린더형 커패시터와 같이 높은 어스펙트비를 갖는 홀 형태의 하부전극을 가진 경우에는 하부전극 전체에 탄탈륨 전처리막이 골고루 형성되도록 사이클의 반복회수를 증가시키는 것이 바람직하다.

BEST AVAILABLE COPY

본 발명의 탄탈륨 전처리막은 전구체 내에 포함된 산소와 반응하여 산화막이 되지만, 별도의 산소소스를 사용하지 않고, 탄탈륨 전구체 내에 포함된 산소만을 사용하므로 막 형성속도는 매우 느리며, 사이클의 반복회수를 증가시키더라도 결과적인 전처리막의 두께에는 그다지 변화가 없게 된다.

여기서, 상기 증착과정의 탄탈륨 전구체의 유입량은 1~2000sccm이 적당하다. 상기 퍼지 가스는 질소 또는 아르곤을 사용하며, 유입량은 1~2000sccm이 적당하다. 상기 반응실의 온도는 100~600℃의 온도범위에서 유지되는 것이 바람직하며, 반응실의 압력은 0.1 ~ 30 torr로 유지되는 것이 바람직하다.

이상 상술한 방법에 의해 탄탈륨 전처리막이 형성된 후, 상기 탄탈륨 전처리막 상에 탄탈륨 산화막을 형성한다(단계 c). 상기 탄탈륨 산화막은 통상의 열화학기상증착법 또는 원자층 형성방법에 의해 형성될 수 있다. 상기 탄탈륨 산화막 형성을 위한 탄탈륨 소스가스로는 $Ta(OCH_2H_5)_5$ 또는 $Ta(OCH_3)_3$

5. 또는 $TaCl_5$ 를 사용할 수 있고, 산소 소스가스로는 H_2O , H_2O_2 , O_2 , N_2O 또는 O_3 를 사용하거나, 둘 이상이 조합되어 사용될 수 있다.

실린더형 커패시터와 같이 3차원 구조를 갖는 커패시터의 경우 탄탈륨 산화막의 단차도포성을 높이기 위해 원자층 증착방법을 사용하는 것이 바람직하다. 이 방법을 상술하면 다음과 같다. 먼저, 상기 탄탈륨 전처리막이 형성된 반도체 기판을 반응실 내로 인입하고, 상기 반응실 내로 탄탈륨 소스가스를 유입하여 상기 기판 상에 흡착시킨다. 일정 시간 경과 후, 상기 반응실 내의 탄탈륨 소스가스를 퍼지시키고, 상기 반응실 내로 산소 소스가스를 유입하여 상기 기판 상에 흡착시킨다. 이어서, 상기 흡착된 탄탈륨 소스가스 및 산소 소스가스를 반응시켜 탄탈륨 산화막을 형성할 수 있다.

여기서, 상기 증착과정의 탄탈륨 전구체의 유입량은 1~2000sccm, 산소 소스가스의 유입량은 1~2000sccm이 적당하다. 상기 퍼지 가스는 질소 또는 아르곤 등의 불활성 가스를 사용하며, 유입량은 1~2000sccm이 적당하다. 상기 반응실의 온도는 100~600℃의 온도범위에서 유지되는 것이 바람직하며, 반응실의 압력은 0.1 ~ 10 torr로 유지되는 것이 바람직하다.

계속 도 2를 참조하면, 상기 탄탈륨 산화막이 형성된 반도체 기판 상에 상부전극을 형성한다(단계 d). 상기 상부전극으로는 폴리실리콘, 화학기상증착되거나 원자층적층방법을 통해 형성된 TiN 등의 금속질화막 또는 Ru, Ir, Pt 등의 희금속이나 이들의 복합막이 사용될 수 있다.

실례 1

본 실험에는 본 발명의 탄탈륨 전처리막의 산화억제효과를 보여주기 위한 것이다.

3개의 평평한 실리콘 기판을 준비하여, 상기 각 실리콘 기판 상에 TEOS막을 형성하고, 상기 TEOS막 상에 약 300 Å 두께의 Ru막을 형성하였다. 이어서, 상기 Ru막 상에 $Ta(OC_2H_5)_5$ 를 탄탈륨 전구체로 하여 탄탈륨 전처리막을 형성하였다. 상기 탄탈륨 전처리막은 앞서 실시예에서 상술한 원자층적층방법으로 $Ta(OC_2H_5)_5$ 유입→퍼지의 사이클을 반복하여 형성되었다. 사이클 횟수는 기판별로 10회, 100회, 200회로 달리하였다.

이어서, 반응실에서 250℃의 온도로 유지하면서 상기 전처리막이 형성된 각 실리콘 기판 상에 산소소스로 O_3 를 흘리면서 상기 각 실리콘 기판 상의 Ru막을 산화시키고, 상기 반도체 기판의 단면을 주사전자현미경으로 관찰하였다. 관찰결과, 사이클 반복횟수와는 상관없이 각 Ru막에는 RuO_2 의 형성을 관찰할 수 없었다. 일례로, 100회 사이클로 전처리막을 형성한 경우의 기판 단면을 주사전자현미경으로 촬영한 사진을 도 3에 나타내었다. 사진에서 알 수 있는 바와 같이, 실리콘 기판(200)의 TEOS막(210) 상에 형성된 Ru막(220)의 표면은 매끈하며, 도 1과 관련하여 설명한 탄탈륨 전처리막이 없는 경우와 비교할 때, Ru막(220) 표면에 주상의 RuO_2 막이 형성되지 않는 것을 알 수 있다. 여기서, 상기 Ru막(220) 표면에 형성되는 상기 전처리막(미도시)은 그 두께(약 10 Å 정도)가 매우 얇다.

실례 2

본 실험에는 실린더형 커패시터에서와 같이 어스펙트비가 큰 홀 형태의 하부전극 상에 유전막을 형성하는 경우에 있어서, Ru막 상에 탄탈륨 전처리막을 형성함으로써 단차도포성이 우수한 유전막을 형성할 수 있음을 보여주기 위한 것이다.

실리콘 기판 상에 TEOS 절연막을 형성하고 이를 패터닝하여 어스펙트비가 약 15인 실린더형 개구부를 형성하였다. 상기 기판의 절연막 상에 Ru막을 형성하고, 이어서, 상기 Ru막 상에 $Ta(OC_2H_5)_5$ 를 소스가스로 하여 앞서 기술된 본 발명의 탄탈륨 전처리막 형성방법, 즉 원자층 적층방법에 의해 탄탈륨 전처리막을 형성하였다. 상기 전처리막 형성시 전구체 유입→퍼지의 사이클은 100회의 사이클을 적용하였다. 이어서, 상기 과정을 거친 기판 상에 $Ta(OC_2H_5)_5$ 를 탄탈륨 소스가스로 하고, O_3 를 산소소스로 하여 원자층 적층방법을 사용하여 250℃에서 탄탈륨 산화막을 형성하였다. 이와 같이 제조된 기판의 개구부 단면을 주사전자현미경으로 관찰하였다. 한편, 본 발명과 비교를 위하여 실리콘 기판 상에 TEOS막 형성, 개구부 패터닝, Ru막 형성 및 탄탈륨 산화막 형성과정은 앞서 설명한 것과 동일하나, 탄탈륨 전처리막을 형성하지 않은 기판을 별도로 제조하여 그 개구부 단면을 주사전자현미경으로 관찰하였다.

도 4a 및 도 4b는 각각 전처리막 형성과정을 거친 기판과 전처리막 형성과정을 거치지 않은 기판의 개구부 단면을 촬영한 전자현미경 사진의 개략도이다. 도 4a 및 도 4b에서 동일한 참조부호는 동일한 요소를 지칭한다.

도 4a를 보면, Ru막(310) 상에 탄탈륨 전처리막(330) 형성과정을 거친 경우 탄탈륨 산화막(340)이 개구부(350) 상부 및 하부에서 균일하게 형성된 반면, 도 4b의 경우, 탄탈륨 산화막(340)이 개구부(350) 하부에서는 거의 형성되지 않았는데, 이는 주상의 RuO_2 결정(320)들이 존재하는 데 기인한 것임을 알 수 있다. 여기서 설명되지 않은 참조부호 300은 TEOS막을 나타낸다.

발명의 효과

본 발명에 따르면, 금속 산화막을 유전막으로 하는 반도체 장치의 커패시터에 있어서, 폴리실리콘, 희금속 또는 금속 질화막 하부전극 상에 금속 전처리막을 형성함으로써, 금속 산화막 형성시 공급되는 산소로 인해 하부전극이 산화되는 현상을 방지할 수 있다. 특히 3차원 구조를 가지고 어스펙트비가 큰 커패시터에 있어서, 하부전극의 표면에 고른 금속 산화막을 형성함으로써, 하부전극의 산화로 인해 산화된 부위에 금속 산화막이 형성되지 않아 금속 산화막의 단차도포성이 나빠지는 현상을 억제하는데 효과적이다.

청구항 1.

a) 반도체 기판 상에 하부전극을 형성하는 단계;

b) 산소를 함유하는 금속 전구체를 소스가스로 화학기상증착하여 상기 하부전극 표면 상에 금속 전처리막을 형성하는 단계;

c) 상기 금속 전처리막 상에 금속 산화막을 형성하는 단계; 및

d) 상기 금속 산화막 상에 상부전극을 형성하는 단계를 포함하는 반도체 커패시터의 형성방법.

청구항 2.

제 1 항에 있어서, 상기 하부전극은 폴리실리콘막, 희금속막, 금속질화물막 또는 이들의 복합막인 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 3.

제 1 항에 있어서, 상기 희금속은 Ru, Pt, 또는 Ir 중에서 선택된 어느 하나의 금속인 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 4.

제 1 항에 있어서, 상기 금속은 탄탈륨을 포함하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 5.

제 4 항에 있어서, 상기 금속 전구체는 $Ta(OC_2H_5)_5$ 또는 $Ta(OCH_3)_5$ 인 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 6.

제 1 항에 있어서, 상기 금속질화물은 Ti, Ta 또는 W의 질화물인 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 7.

제 1 항에 있어서, 상기 b) 단계는

e) 상기 반도체 기판을 반응실 내로 인입하는 단계;

f) 상기 반응실 내로 산소를 함유하는 금속 전구체를 유입시키는 단계;

g) 상기 금속 전구체를 상기 하부전극 상에 흡착 및 반응시키는 단계; 및

h) 상기 반응실 내의 금속 전구체를 퍼지시키는 단계를 포함하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 8.

제 7 항에 있어서, 상기 금속은 탄탈륨을 포함하는 것을 특징으로 하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 9.

제 8 항에 있어서, 상기 금속 전구체는 $Ta(OC_2H_5)_5$ 또는 $Ta(OCH_3)_5$ 인 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 10.

제 5 항에 있어서, 상기 f) 단계 내지 g) 단계를 반복하여 수행하여 금속 전처리막을 형성하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 11.

제 5 항에 있어서, 상기 f) 단계 내지 h) 단계에서 반응실 온도는 $100 \sim 600^\circ\text{C}$ 인 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 12.

제 5 항에 있어서, 상기 h) 단계의 퍼지가스는 질소 또는 아르곤 등의 불활성 가스인 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 13.

제 1 항에 있어서, 상기 c) 단계는

상기 금속 전처리막이 형성된 반도체 기판을 반응실 내로 인입하는 단계;

상기 반응실 내로 금속 소스가스를 유입하여 상기 기판 상에 흡착시키는 단계;

상기 반응실 내의 금속 소스가스를 퍼지시키는 단계;

상기 반응실 내로 산소 소스가스를 유입하여 상기 기판 상에 흡착시키는 단계; 및

상기 흡착된 금속 소스가스 및 산소 소스가스를 반응시켜 금속 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 14.

제 13 항에 있어서, 상기 금속 소스가스는 탄탈륨을 포함하는 소스가스인 것을 특징으로 하는 반도체 커패시터의 형성방법.

BEST AVAILABLE COPY

청구항 15.

제 14 항에 있어서, 상기 소스가스는 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 또는 $\text{Ta}(\text{OCH}_3)_5$

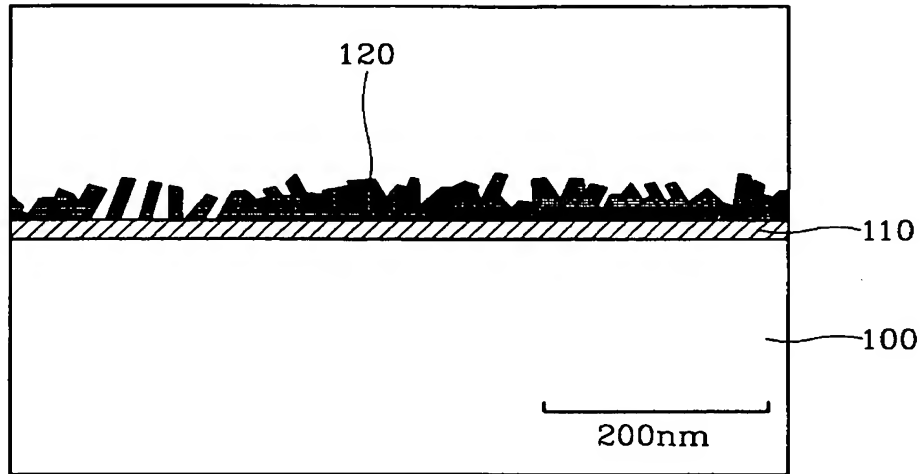
또는 TaCl_5 중에서 선택된 하나 이상을 사용하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

청구항 16.

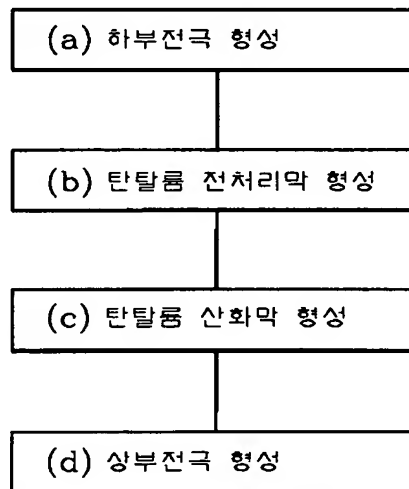
제 13 항에 있어서, 상기 산소 소스가스로는 H_2O , H_2O_2 , O_2 , N_2O , 또는 O_3 에서 선택된 하나 이상을 사용하는 것을 특징으로 하는 반도체 커패시터의 형성방법.

도면

도면 1

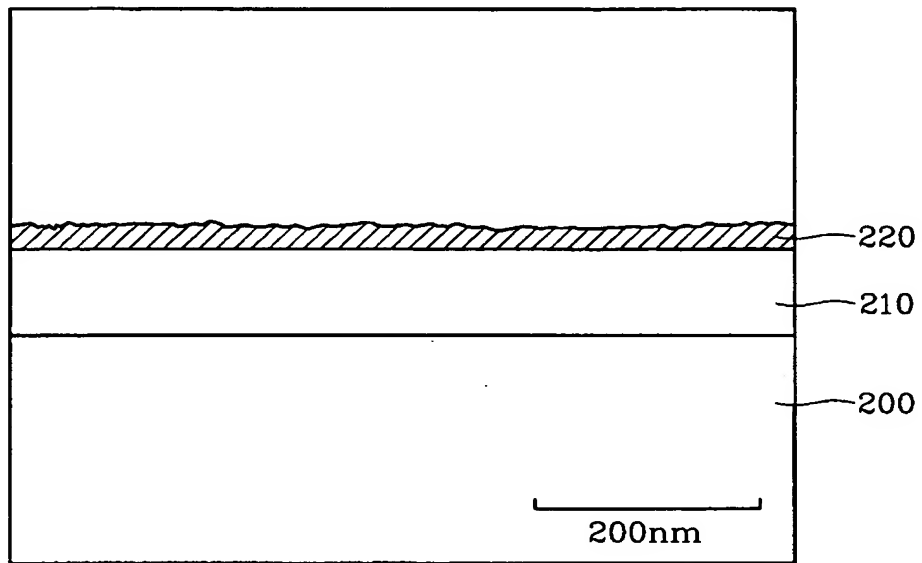


도면 2

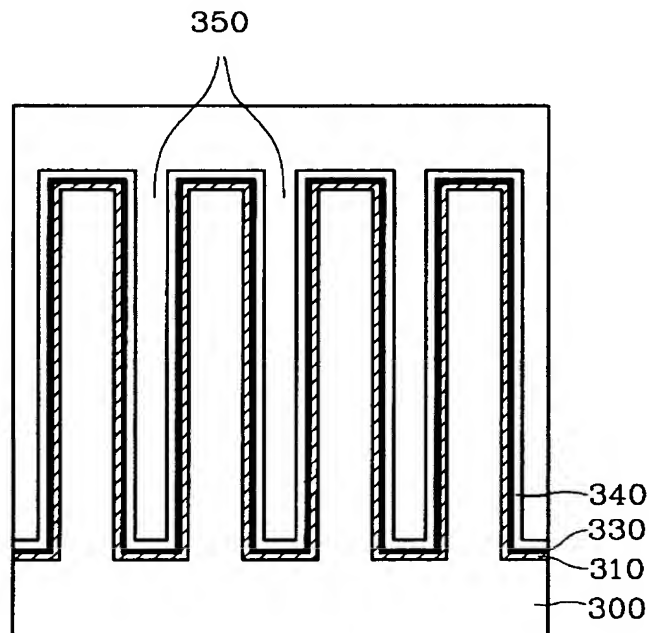


BEST AVAILABLE COPY

도면 3

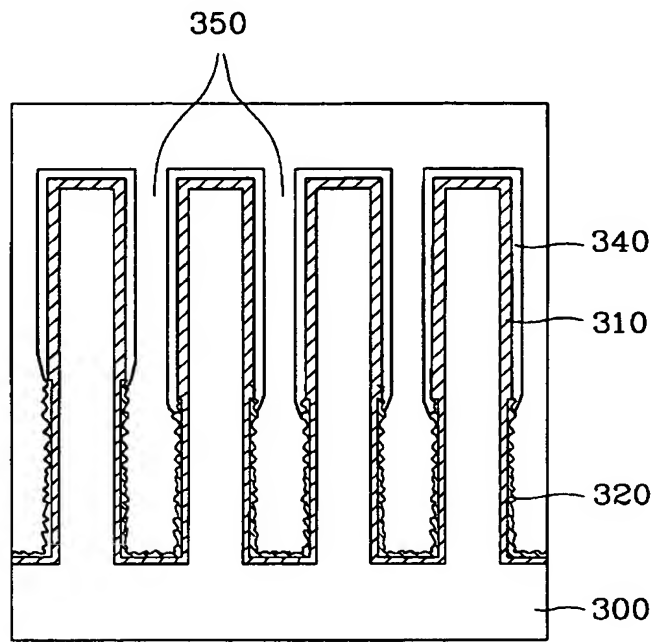


도면 4a



BEST AVAILABLE COPY

도면 4b



BEST AVAILABLE COPY